



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0042430  
Application Number

출원 년 월 일 : 2003년 06월 27일  
Date of Application JUN 27, 2003

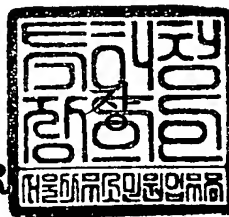
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0010
【제출일자】	2003.06.27
【발명의 명칭】	반도체 소자의 터널산화막 형성 방법
【발명의 영문명칭】	Method for forming tunnel oxide in a semiconductor device
【출원인】	
【명칭】	( 주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	이승철
【성명의 영문표기】	LEE, Seung Cheol
【주민등록번호】	720325-1068828
【우편번호】	467-723
【주소】	경기도 이천시 증포동 191-7 선경아파트 101-604
【국적】	KR
【발명자】	
【성명의 국문표기】	박상욱
【성명의 영문표기】	PARK, Sang Wook
【주민등록번호】	670825-1144110
【우편번호】	143-755
【주소】	서울특별시 광진구 광장동 현대아파트 501-1601
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)



1020030042430

출력 일자: 2003/10/13

【수수료】

【기본출원료】 14 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 5 항 269,000 원

【합계】 298,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 소자의 터널산화막 형성 방법에 관한 것으로, 고전압용 트랜지스터 형성 지역의 게이트 산화막을 형성한 후 메모리 셀 및 저전압용 트랜지스터 형성 지역의 산화막을 제거하는 과정에서 산화막의 일부 두께를 잔류시킴으로써 산화막 제거 및 감광막 제거시 발생하는 기판 표면의 거칠기 증가 및 카본의 흡착으로 인한 오염이 방지되어 막질이 우수한 터널산화막의 형성이 가능해진다.

**【대표도】**

도 4

**【색인어】**

터널산화막, CCST, 표면 거칠기, 카본 오염, 막질

## 【명세서】

## 【발명의 명칭】

반도체 소자의 터널산화막 형성 방법 {Method for forming tunnel oxide in a semiconductor device}

## 【도면의 간단한 설명】

도 1a 내지 도 1d는 종래 반도체 소자의 터널산화막 형성 방법을 설명하기 위한 단면도.

도 2 및 도 3은 종래의 공정이 적용된 플래쉬 메모리 소자에서의 전류 스트레스 테스트 (Constant current stress test; CCST) 특성을 도시한 그래프.

도 4a 내지 도 4d는 본 발명에 따른 반도체 소자의 터널산화막 형성 방법을 설명하기 위한 단면도.

도 5는 본 발명이 적용된 플래쉬 메모리 소자에서의 전류 스트레스 테스트(CCST) 특성을 도시한 그래프.

도 6은 본 발명이 적용된 웨이퍼의 각 다이를 도시한 평면도.

<도면의 주요 부분에 대한 부호의 설명>

1, 11: 반도체 기판

2, 12: 제 1 산화막

3, 13: 감광막

4, 14: 제 2 산화막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체 소자의 터널산화막 형성 방법에 관한 것으로, 더욱 상세하게는 반도체 기판 표면의 거칠기 및 카본(Carbon)의 흡착 등으로 인한 막질의 저하를 방지할 수 있도록 한 반도체 소자의 터널산화막 형성 방법에 관한 것이다.
- <12> 도 1a 내지 도 1d는 종래 반도체 소자의 터널산화막 형성 방법을 설명하기 위한 단면도이다.
- <13> 도 1a를 참조하면, 소정의 공정을 거친 반도체 기판(1) 상에 고전압용 트랜지스터의 게이트 산화막을 형성하기 위해 350Å 두께의 제 1 산화막(2)을 형성한다.
- <14> 도 1b를 참조하면, 상기 제 1 산화막(2) 상에 감광막(3)을 형성한 후 메모리 셀 및 저전압용 트랜지스터가 형성될 지역의 상기 제 1 산화막(2)이 노출되도록 상기 감광막(3)을 패터닝한다.
- <15> 도 1c를 참조하면, 디스컴(Descum) 공정으로 패터닝된 감광막(3)을 경화시킨 후 노출된 부분의 제 1 산화막(2)을 제거한다. 이 때 300:1 BOE(Buffered Oxide Etchant)에서 2280초(sec)동안 제 1 산화막(2)을 제거한 후 H<sub>2</sub>SO<sub>4</sub> 용액으로 감광막(3)을 제거하고 SC-1 용액으로 세정한다.
- <16> 도 1d를 참조하면, 전체 상부면에 80Å 두께의 제 2 산화막(4)을 형성하는데, 고전압 트랜지스터 형성 지역에는 제 1 산화막(2)과 제 2 산화막(4)으로 이루어진 두꺼운 게이트 산화막

이 형성되고, 메모리 셀 및 저전압용 트랜지스터 지역에는 제 2 산화막(4)으로 이루어진 터널 산화막이 형성된다.

<17> 그런데 종래의 공정을 이용하면 메모리 셀 및 저전압용 트랜지스터 지역의 제 1 산화막 (2)을 BOE로 제거하는 과정에서 30% 정도의 과도식각을 진행하기 때문에 반도체 기판(1)의 표면 거칠기(Roughness)가 증가하며,  $H_2SO_4$  용액으로 감광막(3)이 제거되면서 감광막에 포함된 카본(Carbon) 성분이 반도체 기판(1)의 표면에 흡착된다. 흡착된 카본 성분은 후속 SC-1 용액을 이용한 세정 공정이나 터널산화막을 형성하기 전 50:1 HF 용액을 이용한 전처리 세정 공정에서도 잘 제거되지 않는다. 따라서 잔류된 카본 성분이 실리콘 덩글링 본드를 형성하기 때문에 카본 성분이 존재하는 상태에서 터널산화막이 형성될 경우 터널산화막의 막질이 저하되어 소자의 전기적 특성이 불량해진다.

<18> 도 2 및 도 3은 종래의 공정이 적용된 플래쉬 메모리 소자에서의 전류 스트레스 테스트 (Constant current stress test; CCST) 특성을 도시한 그래프로서, 전반적으로 특성의 균일도가 불량하게 나타나며, 불량율도 높게 나타난다. 특히, 초기 불량은 웨이퍼의 가장자리부에 주로 분포함을 알 수 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<19> 따라서 본 발명은 고전압용 트랜지스터의 게이트 산화막을 형성한 후 메모리 셀 및 저전압용 트랜지스터 형성 지역의 산화막을 제거하는 과정에서 산화막의 일부를 잔류시킴으로써 산

화막 제거 및 감광막 제거시 발생하는 기판의 표면 거칠기 증가 및 카본의 흡착으로 인한 오염을 방지할 수 있도록 한 반도체 소자의 터널산화막 형성 방법을 제공하는 데 그 목적이 있다.

# 【발명의 구성 및 작용】

- <20>       상기한 목적을 달성하기 위한 본 발명은 반도체 기판 상에 제 1 산화막을 형성한 후 감광막 패턴을 이용하여 메모리 셀 및 저전압용 트랜지스터가 형성될 지역의 상기 제 1 산화막을 노출시키는 단계와, 노출된 상기 제 1 산화막의 일부 두께 및 상기 감광막 패턴을 순차적으로 제거하는 단계와, 잔류된 상기 제 1 산화막을 완전히 제거한 후 전체 상부면에 제 2 산화막을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <21>       상기 제 1 산화막은 순수 산화막이며, 750 내지 850℃의 온도에서 350 내지 600Å 두께로 성장시키는 것을 특징으로 한다.
- <22>       상기 제 1 산화막 및 감광막 패턴을 제거하는 단계는 300:1 BOE에서 1730 내지 1735초동안 제 1 산화막의 일부 두께를 제거하는 단계와, H<sub>2</sub>SO<sub>4</sub> 용액으로 상기 감광막 패턴을 제거하는 단계와, SC-1 용액으로 세정하여 파티클이나 유기물 성분의 오염물질을 제거하는 단계를 포함하는 것을 특징으로 한다.
- <23>       상기 잔류되는 상기 제 1 산화막의 두께는 20±3Å이며, 상기 잔류된 제 1 산화막은 50:1 HF 용액을 이용한 세정 공정으로 제거하는 것을 특징으로 한다.
- <24>       이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.



- <25> 도 4a 내지 도 4d는 본 발명에 따른 반도체 소자의 터널산화막 형성 방법을 설명하기 위한 단면도이다.
- <26> 도 4a를 참조하면, 소정의 공정을 거친 반도체 기판(11) 상에 고전압용 트랜지스터의 게이트 산화막을 형성하기 위해 350 내지 600Å 두께의 제 1 산화막(12)을 형성한다. 제 1 산화막(12)은 순수 산화막(Pure oxide)이며, 750 내지 850℃의 온도에서 성장시킨다.
- <27> 도 4b를 참조하면, 상기 제 1 산화막(12) 상에 감광막(13)을 형성한 후 메모리 셀 및 저전압용 트랜지스터가 형성될 지역의 상기 제 1 산화막(12)이 노출되도록 상기 감광막(13)을 패터닝한다.
- <28> 도 4c를 참조하면, 80 내지 140℃의 온도에서 10분 미만의 시간동안 디스컴(Descum) 공정을 실시하여 패터닝된 감광막(13)을 경화시킨 후 노출된 부분의 제 1 산화막(12)의 일부 두께를 제거한다. 이 때 300:1 BOE에서 1730 내지 1735초(sec)동안 제 1 산화막(12)을 일부 제거한 후 H<sub>2</sub>SO<sub>4</sub> 용액으로 감광막(13)을 제거하고 SC-1 용액으로 세정하여 파티클이나 유기물 성분의 오염물질을 완전히 제거한다. 이 때 유기물 성분의 오염물질은 H<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub>가 80 내지 100℃의 고온에서 반응하여 Caro's Acid를 형성하고 탈수반응, 산화반응에 의해 제거되도록 할 수도 있다. 상기 제 1 산화막(12) 제거, 감광막(13) 제거 및 세정 공정은 연속적으로 진행한다.
- <29> 도 4d를 참조하면, 50:1 HF 용액을 이용한 전처리 세정 공정(FN40")으로 잔류된 제 1 산화막(12)을 완전히 제거한 후 전체 상부면에 80Å 두께의 제 2 산화막(14)을 형성하면 고전압 트랜지스터 형성 지역에는 제 1 산화막(12)과 제 2 산화막(14)으로 이루어진 두꺼운 게이트 산화막이 형성되고, 메모리 셀 및 저전압용 트랜지스터 형성 지역에는 제 2 산화막(14)으로 이루어진 터널산화막이 형성된다.

- <30>      상기 제 2 산화막(14)은  $H_2/O_2/N_2$  가스를 사용한 산화 공정 및  $N_2$  가스를 사용한 열처리를 통해 형성되며, 고전압 트랜지스터 형성 지역에는 80 Å, 메모리 셀 및 저전압용 트랜지스터 형성 지역에는 350 Å의 두께가 형성되도록 한다. 한편, 상기 전처리 세정 공정 시 고전압용 트랜지스터 형성 지역의 제 1 산화막(12)을 소정 두께 제거해도 된다.
- <31>      본 발명은 도 4c와 같이 제 1 산화막(12)과 감광막(13)을 제거하는 과정에서 반도체 기판(11) 상에 소정 두께 예를 들어, 20 Å 정도의 제 1 산화막(12)을 잔류시킴으로써 BOE에 의한 반도체 기판(11) 표면의 거칠기 증가 및 기판의 피해가 최소화되고, 감광막(13)에 포함된 카본 성분의 잔류로 인한 오염이 방지되도록 한다. 또한, 도 4d와 같이 잔류된 제 1 산화막(12)을 완전히 제거한 직후 바로 제 2 산화막(14)을 형성함으로써 터널산화막의 캐리어 이동도(Carrier mobility) 및 항복(Break down) 특성도 개선된다.
- <32>      도 5는 본 발명이 적용된 플래쉬 메모리 소자에서의 전류 스트레스 테스트 특성을 측정한 결과로서, 전반적인 전류 스트레스 테스트 특성의 균일도가 개선되어 양호한 특성을 보이며, 초기 불량률도 감소함을 알 수 있다. 또한, 측정 결과 도 6과 같이 웨이퍼의 가장자리 부 중 3개의 다이(Die)에서만 불량을 확인할 수 있었다.

#### 【발명의 효과】

- <33>      상술한 바와 같이 본 발명은 고전압용 트랜지스터의 게이트 산화막을 형성한 후 메모리 셀 및 저전압용 트랜지스터 형성 지역의 산화막을 제거하는 과정에서 산화막의 일부를 잔류시킴으로써 산화막 제거 및 감광막 제거시 발생하는 기판의 표면 거칠기 증가 및 카본의 흡착을

로 인한 오염을 방지하여 막질이 우수한 터널산화막을 형성할 수 있으며, 이에 따라 소자의 전기적 특성이 향상된다.

**【특허청구범위】****【청구항 1】**

a) 반도체 기판 상에 제 1 산화막을 형성한 후 감광막 패턴을 이용하여 메모리 셀 및 저전압용 트랜지스터가 형성될 지역의 상기 제 1 산화막을 노출시키는 단계와,

b) 노출된 상기 제 1 산화막의 일부 두께 및 상기 감광막 패턴을 순차적으로 제거하는 단계와,

c) 잔류된 상기 제 1 산화막을 완전히 제거한 후 전체 상부면에 제 2 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 터널산화막 형성 방법.

**【청구항 2】**

제 1 항에 있어서, 상기 제 1 산화막은 순수 산화막이며, 750 내지 850℃의 온도에서 350 내지 600Å 두께로 성장시키는 것을 특징으로 하는 반도체 소자의 터널산화막 형성 방법.

**【청구항 3】**

제 1 항에 있어서, 상기 단계 (b)는 300:1 BOE에서 1730 내지 1735초동안 제 1 산화막의 일부 두께를 제거하는 단계와,

H<sub>2</sub>SO<sub>4</sub> 용액으로 상기 감광막 패턴을 제거하는 단계와,

SC-1 용액으로 세정하여 파티클이나 유기물 성분의 오염물질을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 터널산화막 형성 방법.

**【청구항 4】**

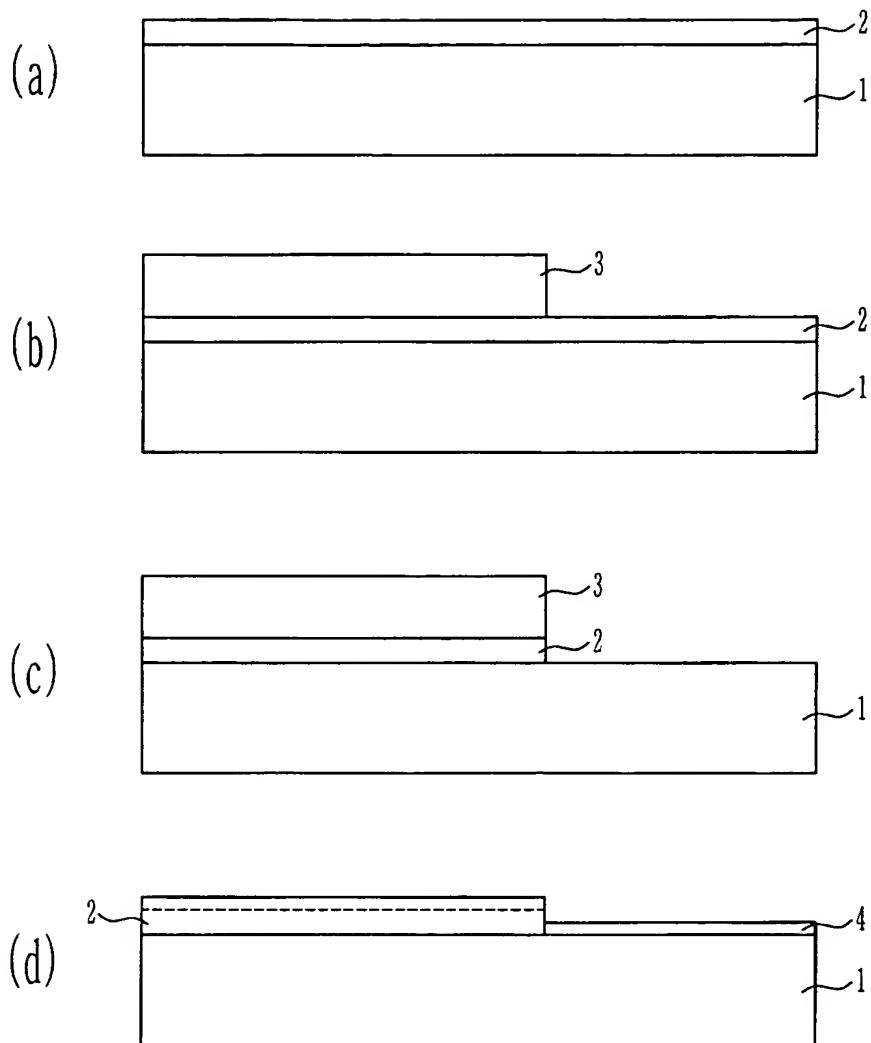
제 1 항에 있어서, 상기 단계 (b)에서 잔류되는 상기 제 1 산화막의 두께는 20  $\mu$ A인 것을 특징으로 하는 반도체 소자의 터널산화막 형성 방법.

**【청구항 5】**

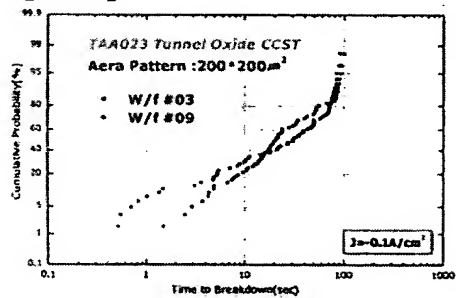
제 1 항에 있어서, 상기 단계 (c)에서 상기 제 1 산화막은 50:1 HF 용액을 이용한 세정 공정으로 제거하는 것을 특징으로 하는 반도체 소자의 터널산화막 형성 방법.

## 【도면】

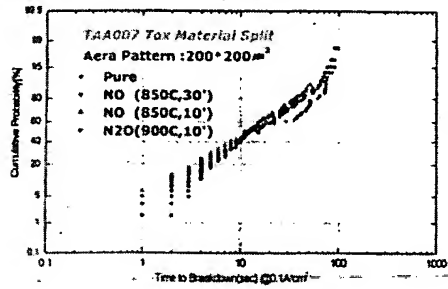
【도 1】



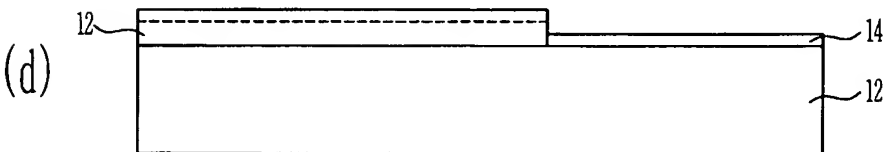
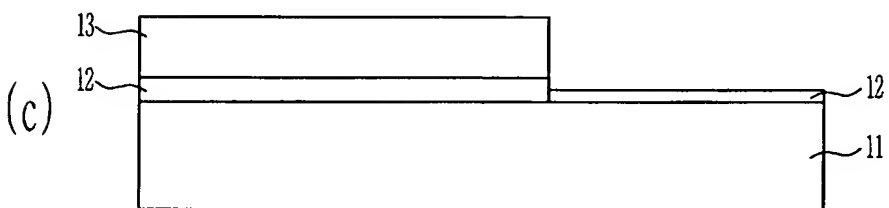
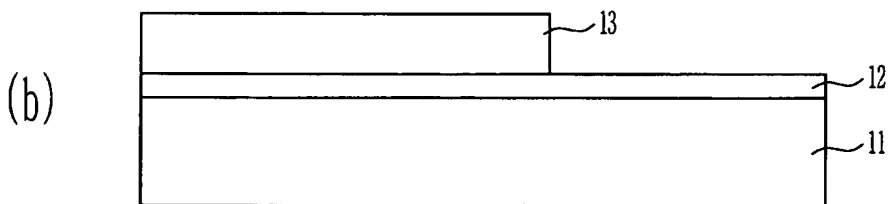
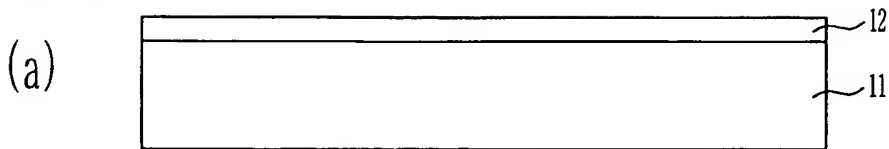
【도 2】



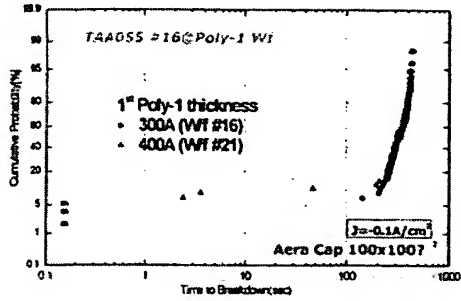
【도 3】



【도 4】



【도 5】



【도 6】

			208	278	427	263	285		
		352	430	424	228	462	273	394	
317	369	336	234	215	309	404	390	321	
0	440	311	301	387	306	269	368	425	
0	401	306	354	282	313	492	419	403	
0	315	398	390	251	463	397	289	267	
	311	448	314	457	294	294	253		
		144	386	377	447	396			